

マルチモジュール構成による大容量ATMスイッチに関する研究

著者	源田 浩一
号	1863
発行年	1998
URL	http://hdl.handle.net/10097/10670

氏名	げんだ こういち
授与学位	源 田 浩 一
学位授与年月日	博士（工学）
学位授与の根拠法規	平成 11 年 3 月 10 日
最終学歴	学位規則第 4 条第 2 項
学位論文題目	平成 2 年 3 月
論文審査委員	東北大学大学院工学研究科電子工学専攻前期課程修了
	マルチモジュール構成による大容量 ATM スイッチに関する研究
	主査 東北大学教授 川上 彰二郎 東北大学教授 白鳥 則郎
	東北大学教授 阿部 健一 東北大学教授 坪内 和夫

論文内容要旨

本研究では、現在実用に供されている ATM(Asynchronous Transfer Mode)スイッチの 1 桁から 2 桁大きな交換容量、1 Tbps（テラビット）、を可能とする ATM スイッチ構成を明らかにした。ATM とは、電話から高速データ通信までを 1 つの通信網で実現できるマルチメディア通信の交換技術であり、現在世界各国で研究、開発が進められている。また、交換容量とは、ATM スイッチの回線速度と回線数を掛けた値であらわされる。

まず、Tbps 級の交換容量を実現するスイッチ構成として、1 つの「高速接続 ATM スイッチ(AMC: ATM Inter-module Connector)」により複数の「小容量 ATM スイッチ」を接続する「マルチモジュール構成」(図 1) が適することを小容量 ATM スイッチ接続数とスイッチ全体で実現しうる交換容量との関係から明らかにした。

次に、10 Gbps セルの交換を行う「高速接続 ATM スイッチ」の基本構成として入出力バッファ型 ATM スイッチを基本とする「内部高速型 ATM スイッチ」を提案し、提案スイッチが従来の入出力バッファ型スイッチと比較して優れたトラフィック特性を有することをスループット値を算出することにより明らかにした。

10 Gbps のセル交換を目指した「内部高速型 ATM スイッチ」を実現するには 2 つの課題がある。1 つは 20～30 Gbps セルのスイッチング技術、もう 1 つは高速な「競合制御」である。「競合制御」とは、同一出線を目指す複数セルの中から到着可能なセルを選択する制御である。そこで、本論文では、MCM(Multi Chip Module)実装に代表される高密度実装技術により高速セルスイッチングを目指す「ISC (Internal Speed-up Crossbar) スイッチ」と、分散実装の考えのもとシリアル光インタコネクションにより高速セル転送を目指した「TORUS スイッチ」の 2 つを提案した(図 2)。

「ISC スイッチ」(図 3)では、競合制御アルゴリズムとして従来アルゴリズムであるリングアービタの速度と比較して 2 倍の制御速度を可能とする「バイディレクショナルアービタ」を提案し、本競合制御アルゴリズムにより方式上 160 Gbps まで効率良く交換容量を増加できることを明らかにした。また、MCM 実装のビット同期方式としてクロック並送方式が適し、かつ電源電圧変動を抑制した電源層構成を明らかにし、試作を通して 20 Gbps セルスイッチング技術を確立した。上記技術を集結することにより世界初の 160

GbpsATM スイッチを実現した。

「TORUS スイッチ」(図4)では、シリアルインタフェースのビット同期方式は自己ビット同期方式が望ましく、「瞬時同期」を可能とする回路構成を提案した。「瞬時同期」とは1ビット相当の時間で入力セルの位相を識別することが可能なビット同期を意味する。また、競合制御アルゴリズムとして、分散実装に適し、競合制御を隣接単位スイッチ間のみで実施する「出力権固定アルゴリズム」を提案した。本アルゴリズムは、制御時間がスイッチ規模に依存することがないため、競合制御時間による交換容量の制限を回避できる。また本制御回路はクロスポイントあたり1ゲートで実現できることから、将来の光通路化に適する特徴を有する。競合制御アルゴリズムを含むクロスポイント LSI を設計試作するとともに、実験を通して 1 Tbps 以上の交換容量を可能とする TORUS スイッチの動作を検証した。

10 Gbps のセル交換を目指した「内部高速型 ATM スイッチ」実現に向けた要素技術の検討として、MCM に代表される高密度実装技術と、数十 Gbps の高速セル転送を可能とするビット同期方式について特性を明らかにした。高密度実装技術については、スイッチング電流が電源電圧変動及びデバイス動作を不安定にし、結果として信号転送速度を制限してしまうことをコンピュータシミュレーションを用いて明らかにした。またペアとなる電源層(例えば、ECL インタフェースでは VTT と VCC 層)間のキャパシタンス増加が、層間インピーダンスを低下させるため、電源電圧変動の影響を低減できることを明らかにした。ビット同期については、内部高速クロスバ型 ATM スイッチに適し、かつ 20~30 Gbps 信号の高速ビット同期方式を検討した。ビット同期方式として、信号と同期クロックを並送する「クロック並送方式」と同期クロックを同期回路のみに供給する「自己ビット同期方式」に着目し、信号をシリアルに転送する時は「自己ビット同期方式」が適し、パラレルに転送しかつスイッチ規模が大きくなるにつれて「クロック並送方式」が適することを明らかにした。

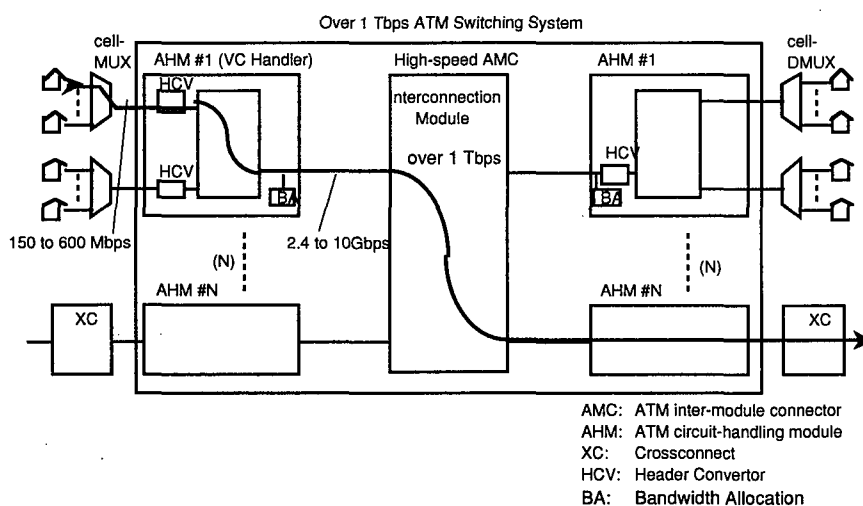


図1 マルチモジュール構成

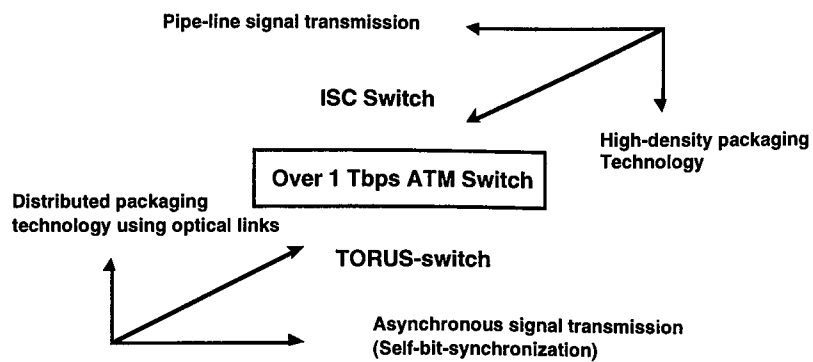


図2 1 Tbpsスイッチのアプローチ

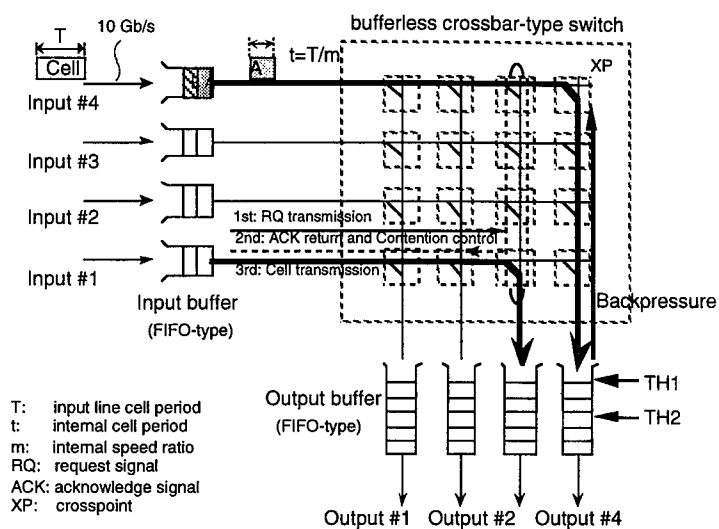


図3 ISC (Internal Speed-up Crossbar-type) スイッチ

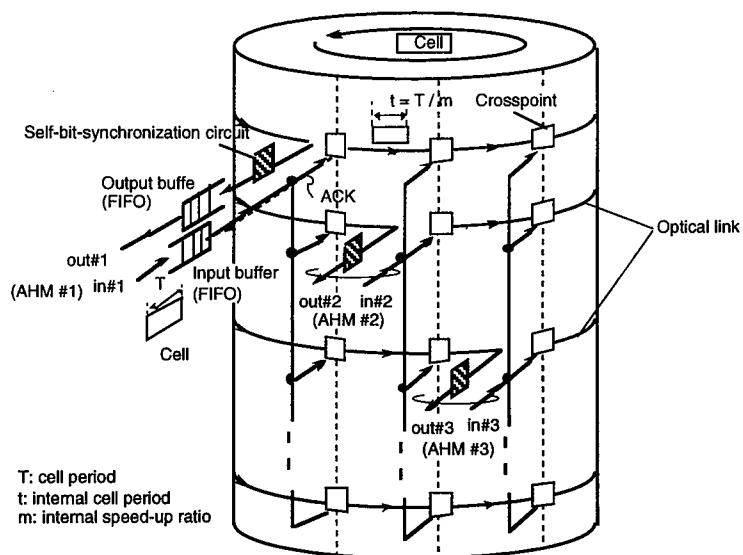


図4 トーラススイッチ

審査結果の要旨

インターネットの普及とともに公衆網の通信量が急激に増大しており、交換容量としてテラビット級を有する ATM スイッチの早期実現が望まれている。そこで著者は、複数の小容量 ATM スイッチを効率的に接続するマルチモジュール構成により、テラビット級の交換容量を目指した ATM スイッチに関する研究を詳細に行なった。本論文はその成果をまとめたものであり、全編 7 章よりなる。

第 1 章は序論である。

第 2 章では、10 ギガビット級の入出力回線速度を持つ高速 ATM スイッチにより複数の小容量 ATM スイッチを接続するマルチモジュール構成が、1 テラビット毎秒を超える交換容量を経済的に実現するために有効であることを明らかにしている。

第 3 章では、固定長パケット（セル）を 10 ギガビット級の速度で交換する高速 ATM スイッチの基本構成として、スイッチの入出力部にセルバッファを配備し、入力バッファから読み出すセルの速度を高速化する入出力バッファ型スイッチを提案している。これは、高速セルの交換に適する ATM スイッチ構成に関する有用な成果である。

第 4 章では、第 3 章で提案した入出力バッファ型スイッチの実現のために、高密度実装技術に適し、従来方式と比較して 2 倍の処理速度を有する制御アルゴリズムを提案している。提案したアルゴリズムを用いた入出力バッファ型スイッチを開発することにより、160 ギガビット毎秒の交換容量を世界ではじめて実現している。これは、従来方式の 10 倍以上の交換容量を持つ ATM スイッチを世界に先駆けて実現した重要な成果である。

第 5 章では、セルを 10 ギガビット級の速度で交換するための基本技術として、高密度実装技術における電源電圧変動の抑制技術について考察している。

第 6 章では、制御時間がスイッチ規模に依存しない競合制御アルゴリズムを提案し、交換容量として 1 テラビット毎秒以上を可能とする入出力バッファ型スイッチを実現している。これは、テラビット級の交換容量を可能とする ATM スイッチの基本方式を明らかにするとともに、第 4 章の結果と合わせて大容量 ATM スイッチの基礎を与えたものとして高く評価される。

第 7 章は結論である。

以上要するに本論文は、テラビット級の交換容量を可能とする ATM スイッチの実現に向けて有用な基礎を与えたものであり、通信工学および電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。